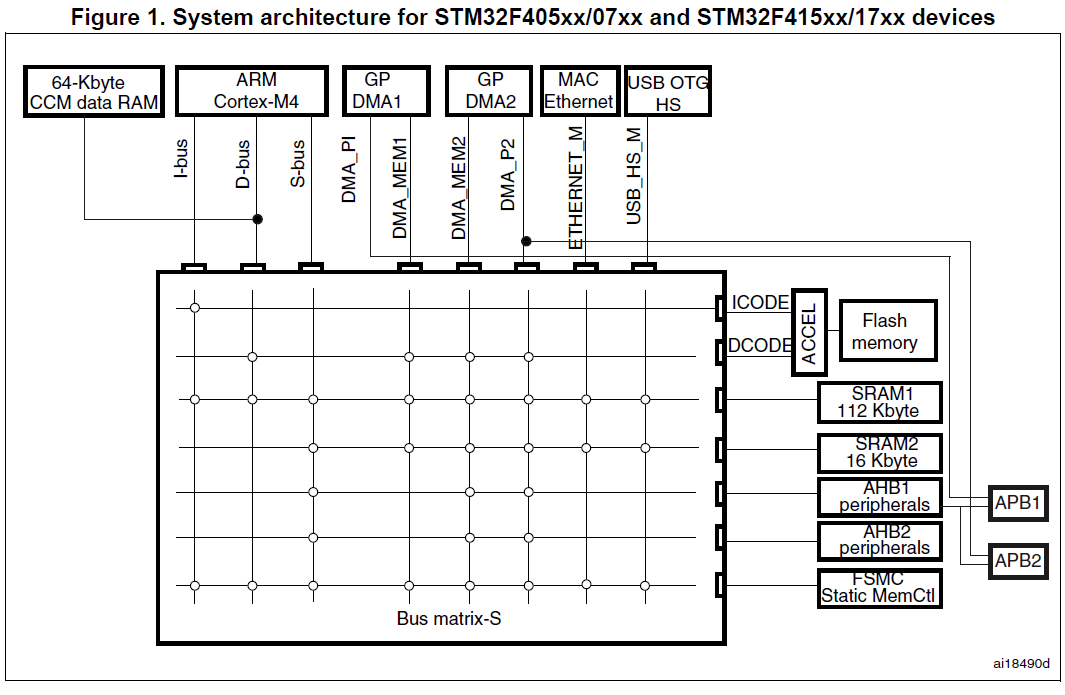
2.1 Архитектура системы.

В STM32F405xx/07xx и STM32F415xx/17xx, основная система состоит из 32 битной многоуровневой матрицы шин AHB, которая объединяет:

* Восемь мастеров:
  + Cortex-M4 с шиной ядра FPU I-bus, D-bus и S-bus.
  + Шина памяти DMA1.
  + Шина памяти DMA2.
  + Периферийная шина DMA2.
  + Шина DMA Ethernet.
  + Шина DMA USB OTG HS.
* Семь ведомых:
  + Внутренняя шина Flash памяти ICode.
  + Внутренняя шина Flash памяти DCode.
  + Главная внутренняя SRAM1 (112 кб).
  + Вспомогательная внутренняя SRAM2 (16 кб).
  + Периферия AHB1, включая мосты AHB в APB и периферию APB.
  + Периферия AHB2.
  + FSMC.

Шинный мастер предоставляет доступ от мастера к ведомому, позволяя выполнить одновременный доступ и эффективно работать даже когда несколько высокоскоростных периферийных модулей работает одновременно. 64 кб CCM памяти (core coupled memory) данных RAM не является частью матрицы шин и может быть доступна только через процессор. Эта архитектура показана на рисунке 1.



2.1.1 I-шина.

Эта шина соединяет шину инструкций Cortex-M4 с ядром FPU с шинной матрицей. Эта шина используется ядром для выборки инструкций. По этой шине выполняется обращение к памяти, содержащей код (внутренняя Flash, SRAM или внешняя память, подключенная к FSMC/FMC).

2.1.2 D-шина.

Эта шина соединяет шину данных Cortex-M4 с ядром FPU с памятью 64 кб CCM RAM и шинной матрицей. Эта шина используется ядром для загрузки констант (literal) и отладочного доступа. По этой шине выполняется обращение к памяти, содержащей код или данные (внутренняя Flash память или внешняя, подключенная через FSMC/FMC).

2.1.3 S-шина.

Эта шина соединяет системную шину Cortex-M4 с ядром FPU с шинной матрицей. Эта шина используется для получения доступа к данным, размещенным в периферии, или SRAM. Также по этой шине могут извлекаться инструкции (но менее эффективно, чем iCode). По этой шине выполняется обращение к внутренней SRAM1, SRAM2 и SRAM3, AHB1 периферии, включая APB периферию, AHB2 периферии и внешней памяти через FSMC/FMC.

2.1.4 Шина памяти DMA.

Эта шина соединяет интерфейс мастера шины памяти DMA с матрицей шин. Она используется DMA для выполнения посылок в/из памяти. По этой шине выполняется обращение: к внутренним SRAM (SRAM1, SRAM2 и SRAM3) и внешней памяти через FCMC/FMC.

2.1.5 Периферийная шина DMA.

2.1.6 Шина Ethernet DMA.

2.1.7 Шина USB OTG HS DMA.

2.1.8 Шина DMA LCD-TFT контроллера.

2.1.9 Шина DMA2D.

2.1.10 Матрица шин.

Шинная матрица управляет арбитражем доступа между мастерами. Арбитраж использует алгоритм round-robin.

2.1.11. Мосты AHB/APB.

Два моста AHB/APB – APB1 и APB2 обеспечивают полностью синхронную связь между AHB и двумя APB шинами, что дает гибкий выбор частоты периферии. Обратитесь к спецификации на устройства для получения информации о максимальных частотах APB1 и APB2, и к таблице 1 для получения информации о разметке на карте памяти периферии AHB и APB.

После каждого сброса устройства, все периферийные источники синхронизации выключены (за исключением интерфейсов SRAM и Flash). Перед тем как использовать периферию, вы должны разрешить тактирование в регистре RCC\_AHBxENR или RCC\_APBxENR.

Примечание: когда выполняется 16- или 8- битный доступ к регистру APB, доступ трансформируется в 32-битный доступ: мост дублирует 16- или 8- битные данные для формирования 32-битного вектора.

2.2 Организация памяти.

Память программ, память данных, регистры и порты ввода/вывода организованы в едином линейном 4-Гб-ом адресном пространстве.

Байты кодируются в памяти в формате little-endian.

Адресуемое пространство в памяти разделено на 8 главных блоков, каждый по 512 Мб.

Все области памяти и периферия, которые не размещены на чипе, считаются «Зарезервированными». Обратитесь к карте памяти в спецификации на ваше устройство.

2.3 Карта памяти.

2.3.1 Встроенная SRAM.

STM32F405xx/07xx and STM32F415xx/17xx поддерживают 4 кб backup SRAM + 192 кб системной SRAM.

Встроенная SRAM может быть доступна как байт, полуслово (16 битов) или полное слово (32 бита). Операции чтения и записи выполняются процессором с 0-ым wait state. Встроенная SRAM разделена на три блока:

* SRAM1 и SRAM2, размеченных на адрес 0x2000 0000 и доступные всеми мастерами AHB.
* SRAM3 (не доступен на STM32F405xx/07xx и STM32F415xx/17xx).
* CCM (core coupled memory), размеченный на адрес 0x1000 0000 и доступен только CPU через D-шину.

AHB мастеры поддерживают одновременные доступы к SRAM (от Ethernet или USB OTG HS): для примера, Ethernet MAC может читать/писать из/в SRAM2, пока CPU читает/пишет в/из SRAM1 или SRAM3.

Процессор может получить доступ к SRAM1, SRAM2 и SRAM3 через системную шину или через I-Code/D-Code шины, когда выбрана загрузка из SRAM, или когда выбран физический remap. Для получения максимальной производительности при выполнении из SRAM, физический remap должен быть выбран (boot или программно).

2.3.2 Обзор Flash памяти.

Интерфейс Flash памяти управляет доступом процессора AHB I-Code и D-Code к Flash памяти. Он реализует операции стирания/программирования памяти и механизмы защиты от записи и чтения. Он ускоряет исполнение кода с системой предвыборки инструкции и линий кэширования. Flash память организована следующим образом:

* Главный блок памяти разделён на секторы.
* Системная память, из которой загружается устройство в режиме System memory boot.
* 512 OTP (one-time programmable) байтов пользовательских данных.
* Байты опций для настройки защиты от чтения и записи, уровень BOR, сторожевой программный/аппаратный таймер и сброс, когда устройство находится в режиме Standby или Stop.

2.3.3 Битовый доступ.

2.4 Конфигурация загрузки.

Исходя из постоянной карты памяти, область кода начинается с адреса 0x0000 0000 (доступная через шины ICode/DCode), в то время как область данных (SRAM) начинается с адреса 0x2000 0000 (доступная через системную шину). Процессор всегда выбирает вектор сброса на шине ICode, это подразумевает, что имеется пространство загрузки, доступное только в области кода (обычно, Flash память). Микроконтроллер реализует специальный механизм, способный загружать код из другой памяти (например, SRAM). Существует три различных режима загрузки:

|  |  |  |  |
| --- | --- | --- | --- |
| Биты выбора режима загрузки | | Режим загрузки |  |
| X | 0 | Главная Flash память | В качестве загрузочного пространства выбрана главная Flash память |
| 0 | 1 | Системная память | Системная память выбрана в качестве загрузочного пространства |
| 1 | 1 | Встроенная SRAM | Встроенная SRAM выбрана в качестве загрузочного пространства |

Значения на BOOT выводах защёлкиваются по 4-ому возрастающему фронту SYSCLK после сброса. Пользователь устанавливает выводы BOOT1 и BOOT0 после сброса для выбора требуемого режима загрузки. Вывод BOOT0 – это отдельный вывод, в то время как BOOT1 объединён с выводом GPIO. Как только BOOT1 был считан, соответствующий GPIO вывод освобождается может быть использован для других целей.

BOOT выводы также пере защелкиваются когда устройство выходит из режима standby. Поэтому они должны быть оставлены в требуемом режиме загрузки когда устройство находится в режиме standby. По истечении времени startup-а, процессор выбирает значение вершины стека по адресу 0x0000 0000 (NB: по адресу 0x0000 0000 располагается значение адреса вершины стека (32 бит)), затем начинает исполнение кода из загрузочной памяти, начиная с адреса 0x0000 0004 (NB: на самом деле по этому адресу расположен вектор сброса (адрес), а далее следует таблица векторов (адресов) прерываний).

Примечание: когда устройство стартует с SRAM, в коде инициализации приложения вы должны переместить векторную таблицу в SRAM, используя таблицу исключений NVIC и регистр смещения.

Встроенный загрузчик.

Режим встроенного загрузчика используется для перепрограммирования Flash памяти, используя один из следующих последовательных интерфейсов:

* USART1 (PA9/PA10)
* USART3 (PB10/11 и PC10/11)
* CAN2 (PB5/13)
* USB OTG FS (PA11/12) в режиме устройства (DFU: device firmware upgrade).

USART работает на внутреннем 16МГц осцилляторе (HSI), в то время как CAN и USB требуют внешней частоты (HSE), кратной 1 МГц (в диапазоне от 4 до 26 МГц).

Код загрузчика размещён в системной памяти. Он запрограммирован ST при производстве. Для дополнительной информации см. AN2606.

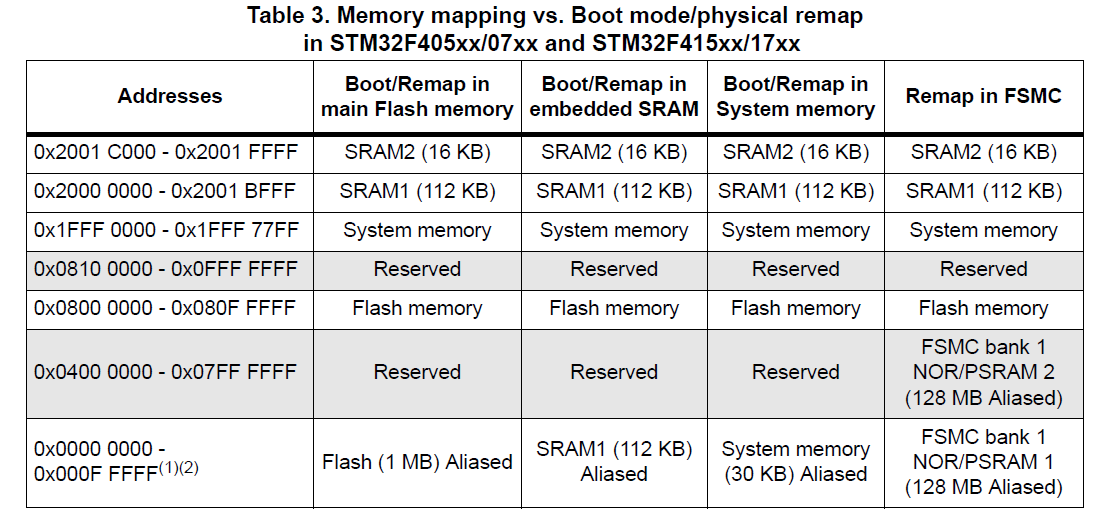
Физический remap STM32F405xx/07xx и STM32F415xx/17xx.

Сразу после того как были считаны boot выводы, программа приложения может изменить память, доступную в области кода (таким образом код может быть исполнен через ICode шину вместо Системной шины). Это изменение выполняется программированием регистра разметки памяти SYSCFG.

Следующая память может быть пере отображена в регион кода:

* Главная Flash память.
* Системная память.
* Встроенная SRAM1 память (112 кб).
* FSMC банк 1.

Прим. Автора – здесь, похоже, имеется ввиду то, что наиболее эффективно инструкции считываются по шине ICode, которая имеет доступ к региону кода. Поэтому, если программа выполняется из RAM, необходимо перенести её в область кода. Процессор будет читать инструкции из RAM, как если бы он это делал с Flash.



Прим. Автора - последняя строка содержит пере отображенную память на область кода – Flash, SRAM, System и FSMC банк. Т.е. если сделать ремап в регион кода, то инструкции будут считываться по шине ICode, что более эффективно, чем по системной шине, если не делать ремап. Таким образом, для ремапа доступен 1Мбит (256 кбайт) памяти.

Примечание: даже когда выполнен ремап загрузочного пространства памяти, соответствующая область памяти все еще доступна по оригинальным адресам.